

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND DATA INPUT/ OUTPUT P. THEREFOR

Patent number: JP2001244921

Publication date: 2001-09-07

Inventor: AKAMATSU HIRONORI; TAKAHASHI SATOSHI; TERADA YUTAKA; HIRATA TAKASHI; KOMATSU YOSHIHIDE; YAMAUCHI HIROYUKI

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- **International:** H04L7/02; H03K19/0185; H04L25/02; H04L25/03

- **European:**

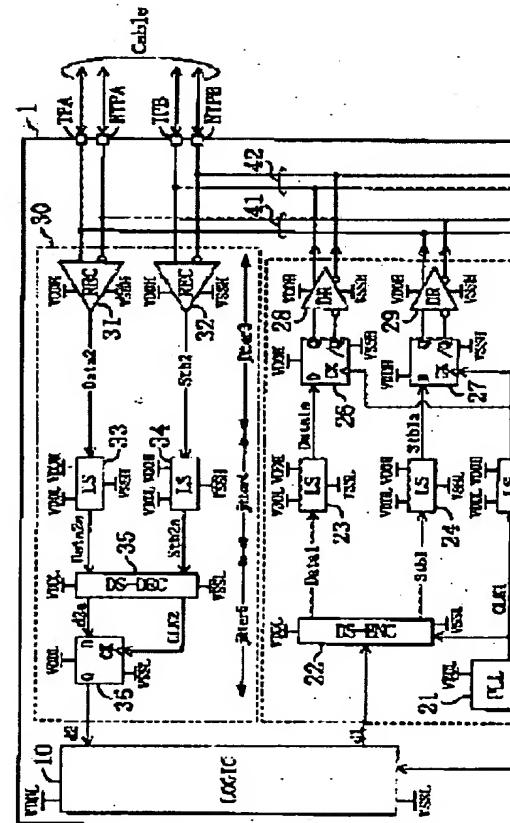
Application number: JP20000050434 20000228

Priority number(s):

Abstract of JP2001244921

PROBLEM TO BE SOLVED: To reduce a jitter component caused by a level shift circuit.

SOLUTION: An output signal d1 from a logic circuit 10 is encoded into data signal Data1 and strobe signal Stb1 by a DS encoder 22. The data signal Data1 and the strobe signal Stb1 are supplied to flip-flops 26 and 27 as data signal Data1a and strobe signal Stb1a after amplitude levels thereof are converted by level shift circuits 23 and 24. The data signal Data1 and the strobe signal Stb1 are latched by the flip-flops 26 and 27 in response to the rising edge of a clock signal CLK1a and outputted to driver circuits 28 and 29 after the jitter component generated through the level shift circuits 23 and 24 is removed. These signals are outputted from the driver circuits 28 and 29 to differential signal lines 42 and 41 and outputted from terminals TPB, NTPB, TPA and NTPA to the outside.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-244921

(P2001-244921A)

(43)公開日 平成13年9月7日(2001.9.7)

(51) Int Cl.⁷
H 0 4 L 7/02
H 0 3 K 19/0183
H 0 4 L 25/02
25/03
// H 0 3 K 3/037

識別記号

F I
H 0 4 L 25/02
 25/03
H 0 3 K 3/037
 5/02
H 0 4 L 7/02

テ-マ-ト(参考)
5J039
5J043
5J056
5K029
5K047

審査請求 未請求 請求項の数10 OL (全 16 頁) 最終頁に続く

(21)出願番号 特願2000-50434(P2000-50434)

(71) 出題人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日 平成12年2月28日(2000.2.28)

(72)発明者 赤松 寛範

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 高橋 学志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外1名)

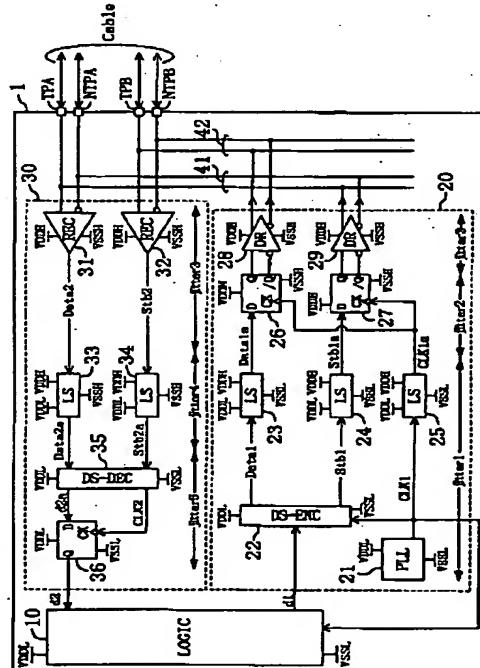
最終頁に統く

(54) 【発明の名称】 半導体集積回路装置およびそのデータ入出力部

(57) 【要約】

【課題】 レベルシフト回路により生じるジッタ成分を低減する。

【解決手段】 ロジック回路10からの出力信号d1は、DSエンコーダ22によってデータ信号Data1とストローブ信号Stb1と共に符号化される。データ信号Data1、ストローブ信号Stb1は、レベルシフト回路23、24によって振幅レベルが変換されて、データ信号Data1a、ストローブ信号Stb1aとして、フリップフロップ26、27に供給される。データ信号Data1、ストローブ信号Stb1は、フリップフロップ26、27によって、クロック信号CLK1aの立ち上がりエッジに応答してラッチされ、レベルシフト回路23、24までに発生したジッタ成分が除去されてドライバ回路28、29に出力される。ドライバ回路28、29から差動信号線42、41へ出力され、端子TPB、NTPB、TPA、NTPAから外部へ出力される。



【特許請求の範囲】

【請求項1】 第1の電圧レベルの第1の電源電圧と、第1の接地電圧とを受け、前記第1の電圧レベルの振幅の出力信号を発生するロジック回路部と、前記ロジック回路部からの出力信号の振幅を第2の電圧レベルの振幅に変換する第1のレベルシフト回路と、前記第2の電圧レベルの第2の電源電圧と、第2の接地電圧とを受け、所定のクロック信号に応答して前記レベルシフト回路からの出力信号をラッチし、当該ラッチした出力信号を所定のクロック信号に応答して出力するフリップフロップ回路とを備えることを特徴とする半導体集積回路装置。

【請求項2】 請求項1に記載の半導体集積回路装置において、

前記半導体集積回路装置はさらに、前記第1の電源電圧と前記第1の接地電圧とを受け、前記第1の電圧レベルの振幅を有する第1のクロック信号を発生するクロック信号発生回路と、前記クロック信号発生回路からの第1のクロック信号の振幅を前記第2の電圧レベルの振幅に変換して前記フリップフロップ回路へ供給する第2のレベルシフト回路とを備え、前記フリップフロップ回路は、前記第2のレベルシフト回路からのクロック信号の立上がりまたは立ち下がりのいずれか一方のエッジに応答することを特徴とする半導体集積回路装置。

【請求項3】 請求項2に記載の半導体集積回路装置において、

前記ロジック回路部は、前記クロック信号発生回路からの第1のクロック信号に応答して動作し、前記クロック信号発生回路からの第1のクロック信号は、前記ロジック回路部からの出力信号の周波数の2倍の周波数を有することを特徴とする半導体集積回路装置。

【請求項4】 請求項1に記載の半導体集積回路装置において、

前記フリップフロップ回路は、前記クロック信号が停止するテストモード時には、前記第1のレベルシフト回路からの出力信号を外部へ出力することを特徴とする半導体集積回路装置。

【請求項5】 請求項2または請求項3に記載の半導体集積回路装置において、

前記フリップフロップ回路は、前記第2のレベルシフト回路からのクロック信号に応答して、前記第1のレベルシフト回路からの出力信号をラッチする第1のラッチ回路と、前記第1のラッチ回路からの出力信号および前記第1のラッチ回路からの出力信号の反転信号を受け、当該出力信号および反転信号を前記第2のレベルシフト回路からのクロック信号に応答して出力するタイミング調整回路

と、

前記第2のレベルシフト回路からのクロック信号の反転信号に応答して、前記タイミング調整回路からの出力信号をラッチする第2のラッチ回路と、

前記第2のレベルシフト回路からのクロック信号の反転信号に応答して、前記タイミング調整回路からの反転信号をラッチする第3のラッチ回路とを含むことを特徴とする半導体集積回路装置。

【請求項6】 請求項5に記載の半導体集積回路装置において、

前記フリップフロップ回路はさらに、前記第1のレベルシフト回路からの出力信号を反転するインバータと、前記第1のレベルシフト回路からの出力信号を所定時間だけ遅延させる遅延補償回路と、ノーマルモード時には、前記第2のラッチ回路からの出力信号および前記第3のラッチ回路からの出力信号を外部へ出力する一方、前記第1のクロック信号が停止するテストモード時には、前記遅延補償回路からの出力信号および前記インバータからの出力信号を外部へ出力する出力切換回路とを含むことを特徴とする半導体集積回路装置。

【請求項7】 請求項5に記載の半導体集積回路装置において、

前記第2のラッチ回路および前記第3のラッチ回路はともに、前記タイミング調整回路からの信号を反転するインバータと、前記第2のレベルシフト回路からのクロック信号の反転信号に応答して、前記インバータからの出力を反転して前記インバータの入力に供給するクロックドインバータとを含むことを特徴とする半導体集積回路装置。

【請求項8】 請求項7に記載の半導体集積回路装置において、

前記フリップフロップ回路はさらに、活性のリセット信号を受けて前記第2のレベルシフト回路からのクロック信号を活性にし、かつ、前記第2のレベルシフト回路からのクロック信号の反転信号を不活性にするリセット回路を含み、

前記第1のラッチ回路は、活性のリセット信号を受けて第1の論理レベルの信号を出力することを特徴とする半導体集積回路装置。

【請求項9】 請求項1に記載の半導体集積回路装置において、

前記第1のレベルシフト回路は、前記第1の電源電圧を受ける第1の電源ノードと前記第1の接地電圧を受ける第1の接地ノードとの間に接続された第1のインバータと、前記第2の電源電圧を受ける第2の電源ノードと前記第1の接地ノードとの間に接続された第1のPチャネルM

MOSトランジスタと、
前記第1のPチャネルMOSトランジスタのドレインと
前記第1の接地ノードとの間に接続され、前記第1のインバータの出力をゲートに受ける第1のNチャネルMOSトランジスタと、
ソースが前記第2の電源ノードに接続され、ドレインが前記第1のPチャネルMOSトランジスタのゲートに接続され、前記第1のPチャネルMOSトランジスタと前記第1のNチャネルMOSトランジスタとの相互接続ノードの電圧をゲートに受ける第2のPチャネルMOSトランジスタと、
前記第2のPチャネルMOSトランジスタのドレインと前記第1の接地ノードとの間に接続され、前記第1のインバータの入力をゲートに受ける第2のNチャネルMOSトランジスタとを含むことを特徴とする半導体集積回路装置。

【請求項10】外部からの入力信号の振幅を増幅する第1の増幅回路と、
前記第1の増幅回路からの出力信号の振幅を増幅する第2の増幅回路と、
前記第1の増幅回路と前記第2の増幅回路との間に設けられ、前記第1の増幅回路からの出力信号の振幅レベルを所定のレベルにクランプするクランプ回路とを備え、前記入力信号は、その振幅が300mV以下であり、その中心電位は電源電圧レベルと接地電圧レベルとの間の電位でありかつ時系列的にレベルが変化することを特徴とする半導体集積回路装置のデータ入出力部。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置およびそのデータ入出力部に関し、さらに詳しくは、レベルシフト回路を有する半導体集積回路装置に関する。

【0002】

【従来の技術】近年、映像情報機器のデジタル化により、機器間のデータ送受信においてもデジタル伝送が使用されつつある。家庭においてもDVC (Digital Video Camera) とPC (Personal Computer) の接続等でIEEE1394規格が採用され、ホームネットワークの規格として標準化されている。200Mbps伝送のIEEE1394.1995がすでに規格化され、また、400MbpsのIEEE1394.aが近々規格化される予定である。上記規格は、IEEE P1394.1995 Draft 8.4、および、IEEE P1394a Draft 3.1にそれぞれ記載されており、この規格を遵守するLSIの開発が各社で行われている。現状では、IEEE1394は、MAXで400Mbpsという非常に高速なデータ伝送を実現する規格である。しかし、この高速データ伝送のために、ジッタ(jitte

r) やスキー(skew)に関する制限が非常に厳しい。この制限を満足させるために、各回路ごとに個別にジッタ、スキーを低減する対策が施されてきた。

【0003】

【発明が解決しようとする課題】0.25μm世代のLSIでは、データ入出力回路からLSI外部へ入出力される信号の電圧レベルと、LSI内部のロジック部での信号の電圧レベルとが異なる仕様となっている。そのため、レベルシフト回路を設ける必要がある。ところが、レベルシフト回路は、図14、15に示すように、回路構成上、非常に大きなジッタ成分を有している。すなわち、電圧変換する2つの電圧のレベル(VDDH, VDDL)は全く相関なく変化するため、電圧を変換する際に、入力された信号の立ち上がりエッジ、立ち下がりエッジの各々が大きくずれてしまう。例えば、TYP条件に対して、立ち上がりエッジが大きく遅延し、かつ、立ち下がりエッジが前にでるというような現象が発生する。このとき、IEEE1394のように信号の立ち上がり部、立ち下がり部がそれぞれデータとして使用されている伝送方式の場合には、データ伝送に耐えられない幅にまでデータ幅が減少してしまうという問題が発生する。

【0004】この発明は、以上のような問題を解決するためになされたものであり、その目的は、ジッタ成分を低減することができる半導体集積回路装置を提供することである。

【0005】

【課題を解決するための手段】この発明の1つの局面に従うと、半導体集積回路装置は、ロジック回路部と、第1のレベルシフト回路と、フリップフロップ回路とを備える。

【0006】ロジック回路部は、第1の電圧レベルの第1の電源電圧と、第1の接地電圧とを受け、第1の電圧レベルの振幅の出力信号を発生する。第1のレベルシフト回路は、ロジック回路部からの出力信号の振幅を第2の電圧レベルの振幅に変換する。フリップフロップ回路は、第2の電圧レベルの第2の電源電圧と、第2の接地電圧とを受け、所定のクロック信号に応答してレベルシフト回路からの出力信号をラッチし、当該ラッチした出力信号を所定のクロック信号に応答して出力する。

【0007】フリップフロップ回路を設けない場合には、第1のレベルシフト回路までに生じたジッタを含んだ出力信号がそのまま外部へ出力される。しかし、上記半導体集積回路装置においては、第1のレベルシフト回路からの出力に含まれるジッタ成分がフリップフロップ回路によって低減される。これにより、大きなデータウインドウを確保することができ、高速動作を実現できる。

【0008】好ましくは、上記半導体集積回路装置はさらに、クロック信号発生回路と、第2のレベルシフト回

路とを備える。クロック信号発生回路は、第1の電源電圧と第1の接地電圧とを受け、第1の電圧レベルの振幅を有する第1のクロック信号を発生する。第2のレベルシフト回路は、クロック信号発生回路からの第1のクロック信号の振幅を第2の電圧レベルの振幅に変換してフリップフロップ回路へ供給する。上記フリップフロップ回路は、第2のレベルシフト回路からのクロック信号の立上がりまたは立ち下がりのいずれか一方のエッジに応答する。

【0009】好ましくは、上記ロジック回路部は、クロック信号発生回路からの第1のクロック信号に応答して動作する。また、上記クロック信号発生回路からの第1のクロック信号は、ロジック回路部からの出力信号の周波数の2倍の周波数を有する。

【0010】第2のレベルシフト回路によるジッタ成分の増加量は、第2のレベルシフト回路からのクロック信号の立ち上がり部と立ち下がり部とで異なる。しかし、上記半導体集積回路装置においては、フリップフロップ回路は、第2のレベルシフト回路からのクロック信号の立上がりまたは立ち下がりのいずれか一方のエッジに応答する。したがって、応答するほうのエッジだけをみると、第2のレベルシフト回路における電源電圧の変動等の影響によって、すべてのエッジが同じ方向にずれている。これにより、第2のレベルシフト回路によるジッタ成分を除去することができる。

【0011】好ましくは、上記フリップフロップ回路は、クロック信号が停止するテストモード時には、第1のレベルシフト回路からの出力信号を外部へ出力する。

【0012】上記半導体集積回路装置においては、テストモード時にあらためてフリップフロップ回路にクロック信号を供給する必要がない。

【0013】好ましくは、上記フリップフロップ回路は、第1のラッチ回路と、タイミング調整回路と、第2のラッチ回路と、第3のラッチ回路とを含む。

【0014】第1のラッチ回路は、第2のレベルシフト回路からのクロック信号に応答して、第1のレベルシフト回路からの出力信号をラッチする。タイミング調整回路は、第1のラッチ回路からの出力信号の反転信号を受け、当該出力信号および反転信号を第2のレベルシフト回路からのクロック信号に応答して出力する。第2のラッチ回路は、第2のレベルシフト回路からのクロック信号の反転信号に応答して、タイミング調整回路からの出力信号をラッチする。第3のラッチ回路は、第2のレベルシフト回路からのクロック信号の反転信号に応答して、タイミング調整回路からの反転信号をラッチする。

【0015】上記半導体集積回路装置においては、第1のラッチ回路からの出力信号と第1のラッチ回路からの出力信号の反転信号とが、同じタイミングでそれぞれ第2のラッチ回路、第3のラッチ回路に供給される。

【0016】好ましくは、上記フリップフロップ回路はさらに、インバータと、遅延補償回路と、出力切換回路とを含む。

【0017】インバータは、第1のレベルシフト回路からの出力信号を反転する。遅延補償回路は、第1のレベルシフト回路からの出力信号を所定時間だけ遅延させる。出力切換回路は、ノーマルモード時には、第2のラッチ回路からの出力信号および第3のラッチ回路からの出力信号を外部へ出力する一方、第1のクロック信号が停止するテストモード時には、遅延補償回路からの出力信号およびインバータからの出力信号を外部へ出力する。

【0018】上記半導体集積回路装置においては、テストモード時にあらためて第1から第3のラッチ回路にクロック信号を供給する必要がない。また、遅延補償回路を設けたため、テストモード時に、遅延補償回路からの出力信号とインバータからの出力信号とが同じタイミングで出力切換回路から出力される。

【0019】好ましくは、上記第2のラッチ回路および第3のラッチ回路はともに、インバータと、クロックドインバータとを含む。

【0020】インバータは、タイミング調整回路からの信号を反転する。クロックドインバータは、第2のレベルシフト回路からのクロック信号の反転信号に応答して、上記インバータからの出力を反転して上記インバータの入力に供給する。

【0021】上記半導体集積回路装置においては、第2のラッチ回路および第3のラッチ回路から、同じタイミングで、タイミング調整回路からの出力信号および反転信号が出力される。これにより、フリップフロップ回路におけるジッタの発生を抑制することができる。この結果、データ入出力の経路にフリップフロップ回路を設けてもほとんどジッタを増加させない。

【0022】また、第2のラッチ回路および第3のラッチ回路からの出力信号による相補信号間にタイミングのずれが存在する場合には、この相補信号を受けるドライバ回路を設けたときにドライバ回路の出力にジッタ（データ不定期間）が生じる。上記半導体集積回路装置においては、第2のラッチ回路および第3のラッチ回路から、同じタイミングで、信号が出力される。したがって、上述のようなジッタの発生を防ぐことができる。

【0023】好ましくは、上記フリップフロップ回路はさらに、リセット回路を含む。リセット回路は、活性のリセット信号を受けて第2のレベルシフト回路からのクロック信号を活性にし、かつ、第2のレベルシフト回路からのクロック信号の反転信号を不活性にする。上記第1のラッチ回路は、活性のリセット信号を受けて第1の論理レベルの信号を出力する。

【0024】通常、フリップフロップ回路をリセットする場合には、初段のラッチ回路と2段目のラッチ回路と

の双方に活性のリセット信号を供給する。仮に、上記フリップフロップ回路において、第1から第3のラッチ回路のすべてに活性のリセット信号を供給するとした場合には、第2のラッチ回路の入力から出力までの回路構成と第3のラッチ回路の入力から出力までの回路構成とを異なるものとしなければならなくなる。これにより、第2のラッチ回路からの出力信号と第3のラッチ回路からの出力信号との相補信号間でタイミングのずれが生じてしまう。そこで、上記半導体集積回路装置においては、第2および第3のラッチ回路には活性のリセット信号を供給せずに、クロックドインバータに供給される反転信号を不活性にすることにより、フリップフロップ回路のリセットを実現している。これにより、第2のラッチ回路の入力から出力までの回路構成と第3のラッチ回路の入力から出力までの回路構成と同じにすることができる。この結果、第2のラッチ回路からの出力信号と第3のラッチ回路からの出力信号との相補信号間でタイミングのずれが生じるのを防ぐことができる。

【0025】好ましくは、上記第1のレベルシフト回路は、第1のインバータと、第1のPチャネルMOSトランジスタと、第1のNチャネルMOSトランジスタと、第2のPチャネルMOSトランジスタと、第2のNチャネルMOSトランジスタとを含む。

【0026】第1のインバータは、第1の電源電圧を受ける第1の電源ノードと第1の接地電圧を受ける第1の接地ノードとの間に接続される。第1のPチャネルMOSトランジスタは、第2の電源電圧を受ける第2の電源ノードと第1の接地ノードとの間に接続される。第1のNチャネルMOSトランジスタは、第1のPチャネルMOSトランジスタのドレインと第1の接地ノードとの間に接続され、第1のインバータの出力をゲートに受けれる。第2のPチャネルMOSトランジスタは、ソースが第2の電源ノードに接続され、ドレインが第1のPチャネルMOSトランジスタのゲートに接続され、第1のPチャネルMOSトランジスタと第1のNチャネルMOSトランジスタとの相互接続ノードの電圧をゲートに受けれる。第2のNチャネルMOSトランジスタは、第2のPチャネルMOSトランジスタのドレインと第1の接地ノードとの間に接続され、第1のインバータの入力をゲートに受ける。

【0027】通常、半導体集積回路装置において電源電圧が2系統存在する場合には、接地電圧も別々に2系統設けられる。そして、第1の電源電圧を受ける回路には第1の接地電圧が供給され、第2の電源電圧を受ける回路には第2の接地電圧が供給される。仮に、上記第1のレベルシフト回路において第1および第2のNチャネルMOSトランジスタを第2の接地ノードに接続した場合には、非常に不安定な状態となり、レベル変換時の誤動作やジッタの増加を引き起こすことになる。これは、第1の接地電圧と第2の接地電圧とで直流的に見たレベル

が同一であっても、接続されている回路ブロックによって、交流的に見ると全く異なるレベルになるためである。例えば、第1の接地ノードに接続されている回路ブロックがデジタル回路ブロックであり、第2の接地ノードに接続されている回路ブロックがアナログ回路や入出力回路であるような場合である。

【0028】しかし、上記半導体集積回路装置においては、第1のインバータと、第1および第2のNチャネルMOSトランジスタとを第1の接地ノードに共通に接続している。これにより、第1のレベルシフト回路において発生するジッタ量を低減することができる。また、レベル変換時の誤動作を抑制することもできる。

【0029】この発明のもう1つの局面に従うと、半導体集積回路装置のデータ入出力部は、第1の增幅回路と、第2の增幅回路と、クランプ回路とを備える。

【0030】第1の增幅回路は、外部からの入力信号の振幅を増幅する。第2の増幅回路は、第1の増幅回路からの出力信号の振幅を増幅する。クランプ回路は、第1の増幅回路と第2の増幅回路との間に設けられ、第1の増幅回路からの出力信号の振幅レベルを所定のレベルにクランプする。上記入力信号は、その振幅が300mV以下であり、その中心電位は電源電圧レベルと接地電圧レベルとの間の電位でありかつ時系列的にレベルが変化する。

【0031】上記半導体集積回路のデータ入出力部では、第1および第2の増幅器による多段構成としているため、外部からの入力信号が、振幅レベルの非常に小さい(300mV以下)信号であっても高速で増幅することができる。

【0032】また、仮に、上記クランプ回路を設けない場合には、外部から同じデータが連続して入力されたときに、第1の増幅回路の出力信号の振幅が大きく振れてしまう。したがって、その後に上記データの反転データが入力されたときに、第1の増幅回路がこの反転データを増幅する速度が遅くなり、反転データのデータ幅が狭くなってしまう。このデータ幅の差によるジッタ成分が生じる。しかし、上記半導体集積回路のデータ入出力部では、クランプ回路を設けたため、第1の増幅回路からの信号の振幅レベルが所定のレベルにクランプされる。これにより、データ幅の差によるジッタ成分の発生を抑制することができる。この結果、高速な増幅動作を実現できる。

【0033】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照しつつ説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰り返さない。

【0034】図1は、この発明の実施の形態による半導体集積回路装置(IEEE1394物理層)の全体構成を示すブロック図である。

【0035】図1に示す半導体集積回路装置には、2系統の電源電圧VDDL, VDDHが存在する。電源電圧VDDLは2.5Vであり、電源電圧VDDHは3.3Vである。また、この半導体集積回路装置は、ロジック回路部10と、データ出力部20と、データ入力部30と、差動信号線41, 42とを備える。ロジック回路部10、データ出力部20、データ入力部30、および差動信号線41, 42は、同一チップ1上に配置される。

【0036】ロジック回路部10は、電源電圧VDDLと接地電圧VSSLとを受け、PLL回路21からのクロック信号CLK1に応答して動作し、出力信号d1をデータ出力部20へ出力し、データ入力部30からの入力信号d2を受ける。出力信号d1および入力信号d2は、2.5Vの振幅レベルを有する。

【0037】データ出力部20は、PLL回路21と、DSエンコーダ22と、レベルシフト回路23-25と、フリップフロップ26, 27と、ドライバ回路28, 29とを含む。

【0038】PLL回路21は、電源電圧VDDLと接地電圧VSSLとを受け、クロック信号CLK1を発生する。クロック信号CLK1は、2.5V(VDDL)の振幅レベルおよび400MHzの周波数を有する。

【0039】DSエンコーダ22は、電源電圧VDDLと接地電圧VSSLとを受け、ロジック回路部10からの出力信号d1を、データ信号Data1とストローブ信号Stb1とに符号化する。DSエンコーダ22は、IEEE1394の物理層において規格化されているDS方式(符号化方式)によるデータ伝送を実現する回路である。データ信号Data1およびストローブ信号Stb1は、2.5V(VDDL)の振幅レベルを有する。

【0040】レベルシフト回路23は、DSエンコーダ22からのデータ信号Data1の振幅レベルを、3.3V(VDDH)の振幅レベルに変換する。レベルシフト回路24は、DSエンコーダ22からのストローブ信号Stb1の振幅レベルを、3.3V(VDDH)の振幅レベルに変換する。レベルシフト回路25は、PLL回路21からのクロック信号CLK1の振幅レベルを、3.3V(VDDH)の振幅レベルに変換する。

【0041】フリップフロップ26は、電源電圧VDDHおよび接地電圧VSSHを受け、レベルシフト回路25からのクロック信号CLK1aの立ち上がりエッジに応答してレベルシフト回路23からのデータ信号Data1aをラッチし、相補信号として出力する。フリップフロップ27は、電源電圧VDDHおよび接地電圧VSSHを受け、レベルシフト回路25からのクロック信号CLK1aの立ち上がりエッジに応答してレベルシフト回路24からのストローブ信号Stb1aをラッチし、相補信号として出力する。

【0042】ドライバ回路28は、電源電圧VDDHお

よび接地電圧VSSHを受け、フリップフロップ26からの相補の出力データ信号を差動信号線42へ出力する。ドライバ回路29は、電源電圧VDDHおよび接地電圧VSSHを受け、フリップフロップ27からの相補の出力ストローブ信号を差動信号線41へ出力する。

【0043】データ入力部30は、レシーバ回路31, 32と、レベルシフト回路33, 34と、DSデコーダ35と、フリップフロップ36とを含む。

【0044】レシーバ回路31は、電源電圧VDDHおよび接地電圧VSSHを受け、端子TPA, NTPAからの相補の入力データ信号を増幅して、データ信号Data2として出力する。レシーバ回路32は、電源電圧VDDHおよび接地電圧VSSHを受け、端子TPB, NTPBからの相補の入力ストローブ信号を増幅して、ストローブ信号Stb2として出力する。

【0045】レベルシフト回路33は、レシーバ回路31からのデータ信号Data2の振幅レベルを、2.5V(VDDL)の振幅レベルに変換する。レベルシフト回路34は、レシーバ回路32からのストローブ信号Stb2の振幅レベルを、2.5V(VDDL)の振幅レベルに変換する。

【0046】DSデコーダ35は、電源電圧VDDLおよび接地電圧VSSLを受け、レベルシフト回路33, 34からのデータ信号Data2aおよびストローブ信号Stb2aを、入力信号d2aに複合化する。また、DSデコーダ35は、データ信号Data2aとストローブ信号Stb2aとの排他的論理和を取ることによってクロック信号CLK2を生成する。クロック信号CLK2は、200MHzの周波数を有する。この周波数は、データ信号Data2aおよびストローブ信号Stb2aの周波数に等しい。DSデコーダ35は、IEEE1394の物理層において規格化されているDS方式(符号化方式)によるデータ伝送を実現する回路である。

【0047】フリップフロップ36は、電源電圧VDDHおよび接地電圧VSSLを受け、DSデコーダ35からのクロック信号CLK2に応答して、DSデコーダ35からの入力信号d2aをラッチし、入力信号d2として出力する。

【0048】差動信号線41は、ドライバ回路29からの相補の出力ストローブ信号を端子TPA, NTPAに伝送し、端子TPA, NTPAからの相補の入力データ信号をレシーバ回路31に伝送する。差動信号線42は、ドライバ回路28からの相補の出力データ信号を端子TPB, NTPBに伝送し、端子TPB, NTPBからの入力ストローブ信号をレシーバ回路32に伝送する。

【0049】端子TPA, NTPAは、第1のツイストペア信号線(図示せず)に接続される。端子TPB, NTPBは、第2のツイストペア信号線(図示せず)に接

続される。第1のツイストペア信号線と第2のツイストペア信号線とで1本のケーブルCableを構成する。

【0050】次に、以上のように構成された半導体集積回路装置の動作について、(1)データ信号を外部へ出力する場合と、(2)外部からのデータ信号を入力する場合とに分けて説明する。

【0051】(1)データ信号を外部へ出力する場合ロジック回路10からの出力信号d1は、DSエンコーダ22によってデータ信号Data1とストローブ信号Stb1とに符号化される。データ信号Data1およびストローブ信号Stb1は、それぞれレベルシフト回路23, 24によって振幅レベルが変換されて、データ信号Data1aおよびストローブ信号Stb1aとして、それぞれフリップフロップ26, 27に供給される。

【0052】データ信号Data1およびストローブ信号Stb1は、それぞれフリップフロップ26, 27によって、クロック信号CLK1aの立ち上がりエッジに応答してラッチされ、レベルシフト回路23, 24までに発生したジッタ成分が除去されてドライバ回路28, 29に出力される。そして、ドライバ回路28, 29から差動信号線42, 41へ出力され、さらに、端子TPB, NTPB, TPA, NTPAから外部へ出力される。

【0053】ここで、レベルシフト回路25は、レベルシフト回路23, 24と同じ回路構成である。しかし、レベルシフト回路25を介しても、クロック信号CLK1aの周期に関するジッタ成分の増加はない。以下、図2を参照してこの理由を説明する。データ信号Data1aおよびストローブ信号Stb1aは、立ち上がりエッジおよび立ち下がりエッジの双方のエッジが有効である。よって、立ち上がり方向と立ち下がり方向とで、レベルシフト回路23, 24から受けるジッタの増加が異なる。これに対して、フリップフロップ26, 27は、クロック信号CLK1aの立ち上がりエッジのみを有効としてデータ信号Data1a、ストローブ信号Stb1aをラッチする。このため、クロック信号CLK1aの有効とされるエッジのいずれは常に同じ方向となる。したがって、クロック信号CLK1aでは、レベルシフト回路25によるジッタ成分の増加ではなく、PLL回路1でのジッタ成分が残るだけになる。

【0054】なお、フリップフロップ26, 27を設けずに、レベルシフト回路23, 24からのデータ信号Data1およびストローブ信号Stb1を直接外部へ出力する場合には、レベルシフト回路23, 24までに発生したジッタ成分を除去することができない。レベルシフト回路23, 24により生じるジッタ成分は、最大で500ps以上になる。これでは、IEEE1394の送信側の規格である400psを満たすことができない。

【0055】また、ここでは、フリップフロップ26, 27は、クロック信号CLK1aの立ち上がりエッジのみを有効としてデータ信号Data1a、ストローブ信号Stb1aをラッチするが、クロック信号CLK1aの立ち下がりエッジのみを有効としてデータ信号Data1a、ストローブ信号Stb1aをラッチしてもよい。

【0056】(2)外部からのデータ信号を入力する場合

外部から端子TPA, NTPAに入力されたデータ信号は、レシーバ回路31へ供給される。外部から端子TPB, NTPBに入力されたストローブ信号は、レシーバ回路32へ供給される。レシーバ回路31, 32からのデータ信号Data2およびストローブ信号Stb2は、それぞれレベルシフト回路33, 34によって振幅レベルが3.3V(VDDH)から2.5V(VDDL)に変換されて、データ信号Data2aおよびストローブ信号Stb2aとしてDSデコーダ35に供給される。データ信号Data2aおよびストローブ信号Stb2aはDSデコーダ35によって入力信号d2aに複合化されてフリップフロップ36に供給される。フリップフロップ36からの出力が入力信号d2としてロジック回路部10に入力される。

【0057】データ入力部30では、レシーバ回路31, 32においてジッタ成分を低減している。

【0058】図3は、図1に示すレシーバ回路31, 32の概略構成を示すブロック図である。レシーバ回路31, 32は、增幅回路301, 303, 304と、クランプ回路302とを備える。

【0059】增幅回路301は、入力信号INを増幅する。クランプ回路302は、增幅回路301からの出力信号の振幅を所定のレベルにクランプする。增幅回路303は、增幅回路301の出力信号を増幅する。增幅回路304は、增幅回路303の出力信号を増幅する。

【0060】レシーバ回路31, 32では、多段構成(301, 303, 304)を採用しているため、振幅レベルが非常に小さい(300mV以下)信号INを高速で増幅することができる。また、初段の增幅回路301は僅かな入力レベルの信号INを増幅するため、クランプ回路302を設けて必要以上に出力の振幅が広がらないようにしている。クランプ回路302を設けていない場合には、図4に示すように、同じデータが連続して入力された場合(a)に、初段の增幅回路301の出力の振幅が大きく振れる。このため、その後に入力された反転データを増幅する速度が遅くなり、データ幅3が通常のデータ幅1に比べて非常に狭くなってしまう。そして、この入力データの差によるジッタ成分によりレシーバ回路は400MHzのデータ入力が全くできなくなってしまう。クランプ回路302を設けた場合には、ジッタは最大でも300psとなり、トータルでもデータ

入力におけるスペックを満足することが可能になる。

【0061】次に、図1に示したフリップフロップ26, 27、レベルシフト回路23-25, 33, 34について、さらに詳しく説明する。

【0062】図5は、図1に示したフリップフロップ26, 27の構成を示すブロック図である。フリップフロップ26, 27は、ラッチ回路LC1-LC3と、リセット回路50と、タイミング調整回路60と、遅延補償回路70と、出力切換回路80と、インバータ91, 93-95と、クロックドインバータ92とを備える。これらはすべて、電源電圧VDDHと接地電圧VSSHとを受ける。

【0063】リセット回路50は、インバータ51, 53と、NAND回路52とを含む。インバータ51は、図1に示すレベルシフト回路25からのクロック信号CLK1aを反転する。NAND回路52は、インバータ51の出力とリセット信号/RSETとのNANDを出力する。NAND回路52の出力がクロック信号CLKとなる。インバータ53は、NAND回路52からの出力を反転する。インバータ53からの出力がクロック信号CLKBとなる。クロック信号CLKBは、クロック信号CLKの反転信号である。

【0064】インバータ91は、入力信号Dを反転する。入力信号Dは、フリップフロップ26ではデータ信号Data1aであり、フリップフロップ27ではストローブ信号Stb1aである。クロックドインバータ92は、クロック信号CLKBに応答して、インバータ91の出力を反転する。

【0065】ラッチ回路LC1は、NAND回路111と、クロックドNAND回路112とを含む。NAND回路111は、クロックドインバータ92の出力とリセット信号/RSETとのNANDを出力する。クロックドNAND回路112の一方の入力は電源電圧VDDHを受け、他方の入力はNAND回路111の出力を受ける。クロックドNAND回路112の出力は、NAND回路111の2つの入力のうち、クロックドインバータ92の出力を受ける方の入力に接続される。したがって、クロックドNAND回路112は、クロック信号CLKに応答してNAND回路111の出力を反転する。

【0066】インバータ93は、NAND回路111の出力を反転する。

【0067】タイミング調整回路60は、クロックドインバータ61, 62を含む。クロックドインバータ61は、クロック信号CLKに応答して、NAND回路111からの出力を反転する。クロックドインバータ62は、クロック信号CLKに応答して、インバータ93の出力を反転する。

【0068】ラッチ回路LC2は、インバータ121と、クロックドNAND回路122とを含む。インバータ121は、クロックドインバータ61の出力を反転す

る。クロックドNAND回路122の一方の入力は電源電圧VDDHを受け、他方の入力はインバータ121の出力を受ける。クロックドNAND回路122の出力は、インバータ121の入力に接続される。したがって、クロックドNAND回路122は、クロック信号CLKBに応答してインバータ121の出力を反転する。

【0069】ラッチ回路LC3は、インバータ131と、クロックドNAND回路132とを含む。インバータ131は、クロックドインバータ62の出力を反転する。クロックドNAND回路132の一方の入力は電源電圧VDDHを受け、他方の入力はインバータ131の出力を受ける。クロックドNAND回路132の出力は、インバータ131の入力に接続される。したがって、クロックドNAND回路132は、クロック信号CLKBに応答してインバータ131の出力を反転する。

【0070】インバータ94は、インバータ121の出力を反転する。インバータ95は、インバータ131の出力を反転する。

【0071】遅延補償回路70は、PチャネルMOSトランジスタ71と、NチャネルMOSトランジスタ72とを含む。PチャネルMOSトランジスタ71およびNチャネルMOSトランジスタ72は、ノードN1とノードN2との間に並列に接続される。PチャネルMOSトランジスタ71のゲートには、接地電圧VSSHが供給される。NチャネルMOSトランジスタ72のゲートには、電源電圧VDDHが供給される。ノードN1には、入力信号Dが供給される。

【0072】出力切換回路80は、NAND回路81-86と、インバータ87とを含む。NAND回路81は、ノードN2の電圧とテスト信号DTESTとのNANDを出力する。インバータ87は、テスト信号DTESTを反転する。NAND回路82は、インバータ87の出力とインバータ94の出力とのNANDを出力する。NAND回路83は、NAND回路81の出力とNAND回路82の出力とのNANDを出力する。NAND回路83の出力がフリップフロップ26, 27の出力Qとなる。NAND回路84は、入力信号Dの反転信号/Dとテスト信号DTESTとのNANDを出力する。NAND回路85は、インバータ87の出力とインバータ95の出力とのNANDを出力する。NAND回路86は、NAND回路84の出力とNAND回路85の出力とのNANDを出力する。NAND回路86の出力がフリップフロップ26, 27の出力/Qとなる。

【0073】以上のように構成されたフリップフロップ26, 27について、特徴的な点を以下に説明する。

【0074】(A) タイミング調整回路60におけるクロックドインバータ61の出力からフリップフロップの出力Qまでの回路の段数と、タイミング調整回路60におけるクロックドインバータ62の出力からフリップフロップの出力/Qまでの回路の段数とを描えている。

【0075】これにより、フリップフロップ26, 27からの相補の出力Q, /Qのタイミングが揃う。したがって、出力Q, /Qのタイミングのずれによって図1に示すドライバ回路28, 29の出力に生じるジッタ(データ不定期間)を無くすことができる。

【0076】(B) Lレベルのリセット信号/RSETを受けてクロック信号CLKをHレベル、クロック信号CLKBをLレベルにするリセット回路50を設けている。

【0077】フリップフロップ26, 27は、リセット信号/RSETがLレベルになるとリセット状態となり、出力QはLレベル、出力/QはHレベルとなる。通常のフリップフロップ回路では、リセット信号/RSETは、2段目のラッチ回路(ラッチ回路LC2, LC3に相当)にも入力される。しかし、その場合には、出力Q, /Qまでの回路構成が出力Q側と出力/Q側とで異なってしまう。これにより、出力Q, /Q間でタイミングのずれが生じてしまう。そこで、フリップフロップ回路26, 27では、2段目のラッチ回路LC2, LC3へはリセット信号/RSETを入力せずに、クロック信号CLKBをLレベルにすることによってフリップフロップのリセットを実現している。これにより、出力Q, /Qまでの回路構成と同じにすることができる、出力Q, /Q間でタイミングのずれが生じるのを防ぐことができる。

【0078】(C) 図1に示すデータ出力部20の回路のテスト時(テスト信号DTESTがHレベルのとき)には、出力切換回路80は、位相補償回路70からの入力信号Dを出力Qとして出し、インバータ91からの出力/Dを出力/Qとして出力する。

【0079】フリップフロップ26, 27は、図1に示すデータ出力部20におけるデータ経路上にある。したがって、フリップフロップ26, 27に代えて通常のフリップフロップを設けた場合には、回路のテストをする際にクロック信号CLK1aの供給が必然となってしまう。しかし、このフリップフロップ26, 27では、出力切換回路80を設けているため、テスト時にクロック信号CLK1aの供給を行わずにデータ出力部20の回路のテストが実施できる。すなわち、テスト信号DTESTがHレベルになるとデータ(入力信号D, /D)の経路を変更してフリップフロップ内部(LC1-LC3, 60)を通らない様に回路を構成している。

【0080】(D) 遅延補償回路70を設けている。

【0081】遅延補償回路70は、ノードN1に供給される入力信号Dを所定時間遅延させてノードN2から出力する。これにより、NAND回路81に入力される信号Dのタイミングを、NAND回路84に入力される信号/Dのタイミングに合わせることができる。すなわち、テスト時においても相補のデータD, /Dの経路をそろえるために遅延補償回路70を設け遅延調整を行つ

ている。

【0082】図6は、図1に示したレベルシフト回路33, 34の構成を示す回路図である。図6に示すレベルシフト回路は、PチャネルMOSトランジスタPT1-PT4と、NチャネルMOSトランジスタNT1-NT4とを備える。

【0083】PチャネルMOSトランジスタPT1およびNチャネルMOSトランジスタNT1は、電源電圧VDDH(3.3V)を受ける第2の電源ノードと接地電圧VSSHを受ける第2の接地ノードとの間に直列に接続される。PチャネルMOSトランジスタPT1およびNチャネルMOSトランジスタNT1のゲートには入力信号INが供給される。入力信号INは、レベルシフト回路33ではデータ信号Data2であり、レベルシフト回路34ではストローブ信号Stb2である。

【0084】PチャネルMOSトランジスタPT2およびNチャネルMOSトランジスタNT2は、電源電圧VDDL(2.5V)を受ける第1の電源ノードと接地電圧VSSHを受ける第2の接地ノードとの間に直列に接続される。PチャネルMOSトランジスタPT2およびNチャネルMOSトランジスタNT2のゲートには、PチャネルMOSトランジスタPT1およびNチャネルMOSトランジスタNT1の相互接続ノードの電圧が供給される。

【0085】PチャネルMOSトランジスタPT3およびNチャネルMOSトランジスタNT3は、電源電圧VDDL(2.5V)を受ける第1の電源ノードと接地電圧VSSHを受ける第2の接地ノードとの間に直列に接続される。PチャネルMOSトランジスタPT3およびNチャネルMOSトランジスタNT3のゲートには、PチャネルMOSトランジスタPT2およびNチャネルMOSトランジスタNT2の相互接続ノードの電圧が供給される。

【0086】PチャネルMOSトランジスタPT4およびNチャネルMOSトランジスタNT4は、電源電圧VDDL(2.5V)を受ける第1の電源ノードと接地電圧VSSHを受ける第2の接地ノードとの間に直列に接続される。PチャネルMOSトランジスタPT4およびNチャネルMOSトランジスタNT4のゲートには、PチャネルMOSトランジスタPT3およびNチャネルMOSトランジスタNT3の相互接続ノードの電圧が供給される。PチャネルMOSトランジスタPT4およびNチャネルMOSトランジスタNT4の相互接続ノードの電圧が、レベルシフト回路の出力信号OUTとなる。出力信号OUTは、レベルシフト回路33では、データ信号Data2aであり、レベルシフト回路34では、ストローブ信号Stb2aである。

【0087】通常、電源電圧が2系統(VDDL, VDH)存在する場合には、接地電圧も別々に2系統(VSSL, VSSH)設けられる。そして、第1の電源電

圧VDDLを受ける回路には第1の接地電圧(VSS-L)が供給され、第2の電源電圧(VDDH)を受ける回路には第2の接地電圧(VSSH)が供給される。仮に、図6に示したレベルシフト回路において、NチャネルMOSトランジスタNT2-NT4を、接地電圧VSSLを受ける第1の接地ノードに接続した場合には、非常に不安定な状態となり、レベル変換時の誤動作やジッタの増加を引き起こすことになる。これは、接地電圧VSSL, VSSHの直流的見たレベルが同一であっても、接続されている回路ブロックによって、交流的に見ると全く異なるレベルになるためである。例えば、第1の接地ノードに接続されている回路ブロックがデジタル回路ブロックであり、第2の接地ノードに接続されている回路ブロックがアナログ回路や入出力回路であるような場合である。

【0088】しかし、このレベルシフト回路では、NチャネルMOSトランジスタNT1-NT4を、レベル変換する前の3.3V(VDDH)の電源電圧を受ける回路ブロック側(H側)の接地ノードに接続している。これにより、レベルシフト回路において発生するジッタ量を低減することができる。また、レベル変換時の誤動作を抑制することもできる。

【0089】また、図7に示すように、接地電圧を共通にすることによって、入力レベルに対するマージンMを大きくすることができる。なお、図7においては、2段目回路(PT2, NT2)のしきい値V_{T2}を、1/2(VDDL-VSSL)と仮定している。また、H側とは、3.3V(VDDH)の電源電圧を受ける回路ブロック側のことをいい、L側とは、2.5V(VDDL)の電源電圧を受ける回路ブロック側のことをいう。

【0090】図8は、図1に示したレベルシフト回路23-25の構成を示す回路図である。図8に示すレベルシフト回路は、PチャネルMOSトランジスタPT11-PT16と、NチャネルMOSトランジスタNT11-NT16とを備える。

【0091】PチャネルMOSトランジスタPT11およびNチャネルMOSトランジスタNT11は、電源電圧VDDL(2.5V)を受ける第1の電源ノードと接地電圧VSSLを受ける第1の接地ノードとの間に直列に接続される。PチャネルMOSトランジスタPT11およびNチャネルMOSトランジスタNT11のゲートには入力信号INが供給される。入力信号INは、レベルシフト回路23ではデータ信号Data1であり、レベルシフト回路24ではストローブ信号Stb1であり、レベルシフト回路25ではクロック信号CLK1である。

【0092】PチャネルMOSトランジスタPT12およびNチャネルMOSトランジスタNT12は、第1の電源ノードと第1の接地ノードとの間に直列に接続される。PチャネルMOSトランジスタPT12およびNチャ

ネルMOSトランジスタNT12のゲートには、PチャネルMOSトランジスタPT11およびNチャネルMOSトランジスタNT11の相互接続ノードの電圧が供給される。

【0093】PチャネルMOSトランジスタPT13およびNチャネルMOSトランジスタNT13は、電源電圧VDDH(3.3V)を受ける第2の電源ノードと第1の接地ノードとの間に直列に接続される。PチャネルMOSトランジスタPT13のゲートには、PチャネルMOSトランジスタPT14およびNチャネルMOSトランジスタNT14の相互接続ノードの電圧が供給される。NチャネルMOSトランジスタNT13のゲートには、PチャネルMOSトランジスタPT12およびNチャネルMOSトランジスタNT12の相互接続ノードの電圧が供給される。

【0094】PチャネルMOSトランジスタPT14およびNチャネルMOSトランジスタNT14は、第2の電源ノードと第1の接地ノードとの間に直列に接続される。PチャネルMOSトランジスタPT14のゲートには、PチャネルMOSトランジスタPT13およびNチャネルMOSトランジスタNT13の相互接続ノードの電圧が供給される。NチャネルMOSトランジスタNT14のゲートには、PチャネルMOSトランジスタPT11およびNチャネルMOSトランジスタNT11の相互接続ノードの電圧が供給される。

【0095】PチャネルMOSトランジスタPT15およびNチャネルMOSトランジスタNT15は、第2の電源ノードと第1の接地ノードとの間に直列に接続される。PチャネルMOSトランジスタPT15およびNチャネルMOSトランジスタNT15のゲートには、PチャネルMOSトランジスタPT14およびNチャネルMOSトランジスタNT14の相互接続ノードの電圧が供給される。

【0096】PチャネルMOSトランジスタPT16およびNチャネルMOSトランジスタNT16は、第2の電源ノードと第1の接地ノードとの間に直列に接続される。PチャネルMOSトランジスタPT16およびNチャネルMOSトランジスタNT16のゲートには、PチャネルMOSトランジスタPT15およびNチャネルMOSトランジスタNT15の相互接続ノードの電圧が供給される。PチャネルMOSトランジスタPT16およびNチャネルMOSトランジスタNT16の相互接続ノードの電圧が、レベルシフト回路の出力信号OUTとなる。出力信号OUTは、レベルシフト回路23では、データ信号Data1aであり、レベルシフト回路24では、ストローブ信号Stb1aであり、レベルシフト回路25では、クロック信号CLK1aである。

【0097】このレベルシフト回路では、NチャネルMOSトランジスタNT11-NT16を、レベル変換する前の2.5V(VDDL)の電源電圧を受ける回路ブ

ロック側（L側）の接地ノードに接続している。これにより、レベルシフト回路において発生するジッタ量を低減することができる。また、レベル変換時の誤動作を抑制することもできる。

【0098】また、図9に示すように、接地電圧を共通にすることによって、入力Hレベルに対するマージンMを大きくすることができる。なお、図9においては、2段目回路（PT12, NT12）のしきい値Vtを、1/2（VDDL-VSSL）と仮定している。また、H側とは、3.3V（VDDH）の電源電圧を受ける回路ブロック側のことをいい、L側とは、2.5V（VDDL）の電源電圧を受ける回路ブロック側のことをいう。

【0099】次に、図1に示した半導体集積回路装置におけるジッタ成分のシミュレーション結果について説明する。

【0100】図10は、400MHz動作時（周期2500ps）のタイミングバジェットを示したものである。図中、Draftは規格値を表し、MEIは図1で示した回路のシミュレーション結果を表す。また、TXはデータ出力部20、RXはデータ入力部30、Cableはケーブル部のジッタ値である。一周期分の時間T（2500ps）からTX、RX、Cableのジッタ値を引いたものがData Window（データウインドウ）であり、その概念図を図11に示す。図10中のMEIにおいて、ケーブル部のジッタに関しては、チップ内部ではないため規格値をそのまま使用している。規格に対し、TXでは140psの余裕、RXでは230psの余裕を有しており、結果として規格の2倍近い810psのData Windowを確保することができている。このように、データウインドウを広く確保することができるため、動作マージンを大きくとる事ができ、プロセスばらつきや、電源電圧の変動による特性変動に関しても非常に強い回路を設計することができる。また、動作マージンが大きいことから高速動作のLSI設計を容易に行うことができ、設計期間の短縮等の効果もある。

【0101】図12は、図1に示した各部のジッタ値を示したものである。（a）は、データ出力部20におけるジッタを、（b）は、データ入力部30におけるジッタを表す。データ入力部30のレベル変換回路33, 34では、データ出力部20と異なり、最悪時で200psのジッタとなっている（jitter5）。データ出力部20においては、フリップフロップ26, 27を新規に設けるため、その分のジッタは増加するが、（b）に示すように、フリップフロップ回路でのジッタjitter2は小さいため問題ない。これは、上述したように、フリップフロップ26, 27によるジッタ低減効果によるものである。

【0102】図13は、IEEE1394物理層チップのチップレイアウト概略図である。

【0103】図1に示したデータ入出力部20, 30は、PORT部（PORT1, PORT2）に含まれており、ロジック回路部10は、ロジック部（LOGIC）に含まれている。ロジック部からのデータをケーブル側端子（TPA0, 1, NTPA0, 1, TPB0, 1, NTPB0, 1）を介してケーブルに出力し、ケーブルからのデータをロジック部に入力している。レベル変換回路23-25, 33, 34やフリップフロップ回路26, 27は、上記PORT部のロジック部よりの部分に配置されている。

【0104】

【発明の効果】この発明による半導体集積回路装置は、フリップフロップ回路を設けたため、第1のレベルシフト回路からの出力に含まれるジッタ成分を低減することができる。これにより、大きなデータウインドウを確保することができ、動作マージンを大きくとることができ。したがって、プロセスばらつきや、電源電圧の変動による特性変動に関しても非常に強い回路を設計することができる。また、高速動作のLSI設計を容易に行うことができ、設計期間を短縮することができる。

【0105】また、フリップフロップ回路は、第2のレベルシフト回路からのクロック信号の立上がりまたは立ち下がりのいずれか一方のエッジに応答し、クロック信号発生回路からの第1のクロック信号は、ロジック回路部からの出力信号の周波数の2倍の周波数を有するため、第2のレベルシフト回路によるジッタ成分を除去することができる。

【0106】また、フリップフロップ回路は、クロック信号が停止するテストモード時には、第1のレベルシフト回路からの出力信号を外部へ出力するため、テストモード時にあらためてフリップフロップ回路にクロック信号を供給する必要がない。

【0107】また、フリップフロップ回路は、タイミング調整回路を含むため、第1のラッチ回路からの出力信号と第1のラッチ回路からの出力信号の反転信号とが、同じタイミングでそれぞれ第2のラッチ回路、第3のラッチ回路に供給される。

【0108】また、フリップフロップ回路は、遅延補償回路を設けたため、テストモード時に、遅延補償回路からの出力信号とインバータからの出力信号とが同じタイミングで出力切換回路から出力される。

【0109】また、第2のラッチ回路および第3のラッチ回路はともに、インバータと、クロックドインバータとを含むため、フリップフロップ回路におけるジッタの発生を抑制することができる。この結果、データ入出力の経路にフリップフロップ回路を設けてもほとんどジッタを増加させない。

【0110】また、第2および第3のラッチ回路には活性のリセット信号を供給せず、クロックドインバータに供給される反転信号を不活性にするため、第2のラッチ

回路からの出力信号と第3のラッチ回路からの出力信号との相補信号間でタイミングのずれが生じるのを防ぐことができる。

【0111】また、第1のレベルシフト回路では、第1のインバータと、第1および第2のNチャネルMOSトランジスタとを第1の接地ノードに共通に接続しているため、第1のレベルシフト回路において発生するジッタ量を低減することができる。

【0112】この発明による半導体集積回路装置のデータ入出力部では、第1および第2の増幅器による多段構成としているため、外部からの入力信号が、振幅レベルの非常に小さい(300mV以下)信号であっても高速で増幅することができる。

【0113】また、クランプ回路を設けたため、データ幅の差によるジッタ成分の発生を抑制することができる。この結果、高速な増幅動作を実現できる。

【図面の簡単な説明】

【図1】この発明の実施の形態による半導体集積回路装置(IEEE1394物理層)の全体構成を示すブロック図である。

【図2】データ信号Data1a、ストローブ信号Stb1a、クロック信号CLK1aにおけるジッタの増加を説明するための図である。

【図3】図1に示すレシーバ回路の概略構成を示すブロック図である。

【図4】クランプ回路の有無による増幅回路の出力の違いを示す図である。

【図5】図1に示したフリップフロップの構成を示すブロック図である。

【図6】図1に示したレベルシフト回路の構成を示す回路図である。

【図7】入力Lレベルに対するマージンを示す図である。

【図8】図1に示したレベルシフト回路の構成を示す回路図である。

【図9】入力Hレベルに対するマージンを示す図である。

【図10】400MHz動作時のタイミングバジェットを示す図である。

【図11】Data Window(データウインドウ)の概念図である。

【図12】図1に示した各部のジッタ値を示したものであり、(a)は、データ出力部におけるジッタを、(b)は、データ入力部におけるジッタを表す。

【図13】IEEE1394物理層チップのチップレイアウト概略図である。

【図14】従来のレベルシフト回路の構成を示す回路図である。

【図15】従来のレベルシフト回路の構成を示す回路図である。

【符号の説明】

10 ロジック回路部

21 PLL回路

23-25, 33, 34 レベルシフト回路

26, 27 フリップフロップ回路

30, 31 レシーバ回路

50 リセット回路

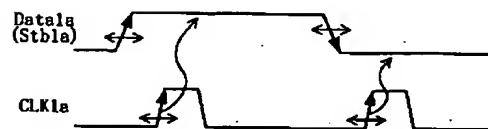
60 タイミング調整回路

70 遅延補償回路

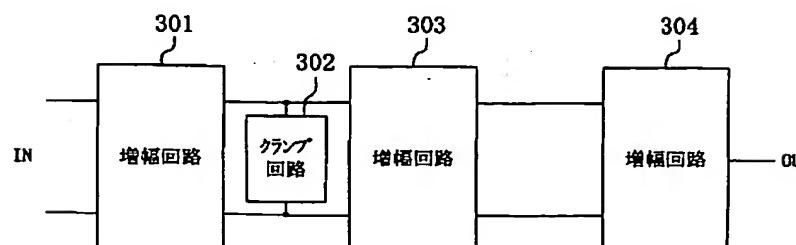
80 出力切換回路

LC1-LC3 ラッチ回路

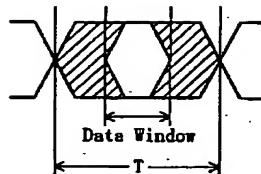
【図2】



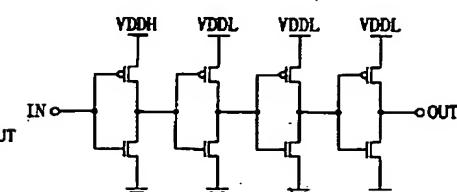
【図3】



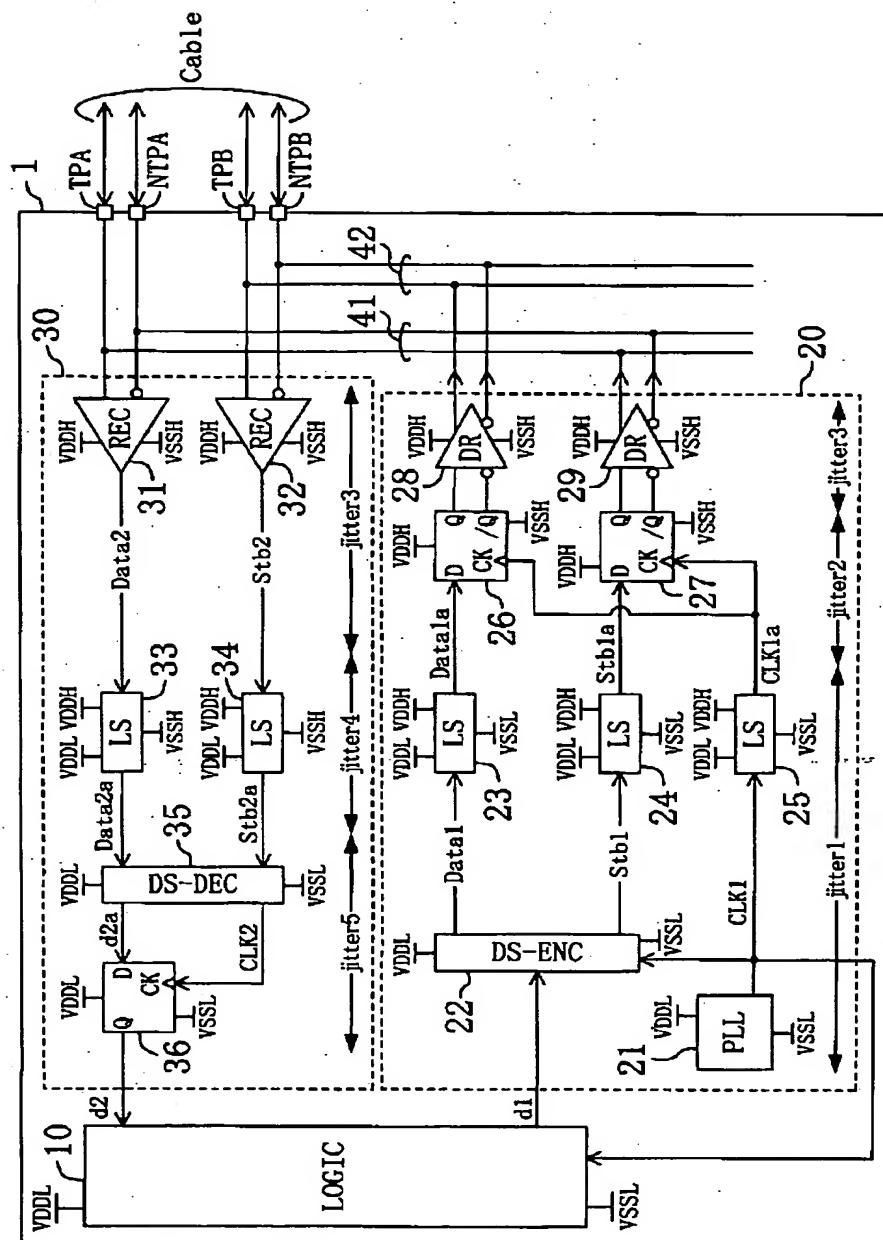
【図11】



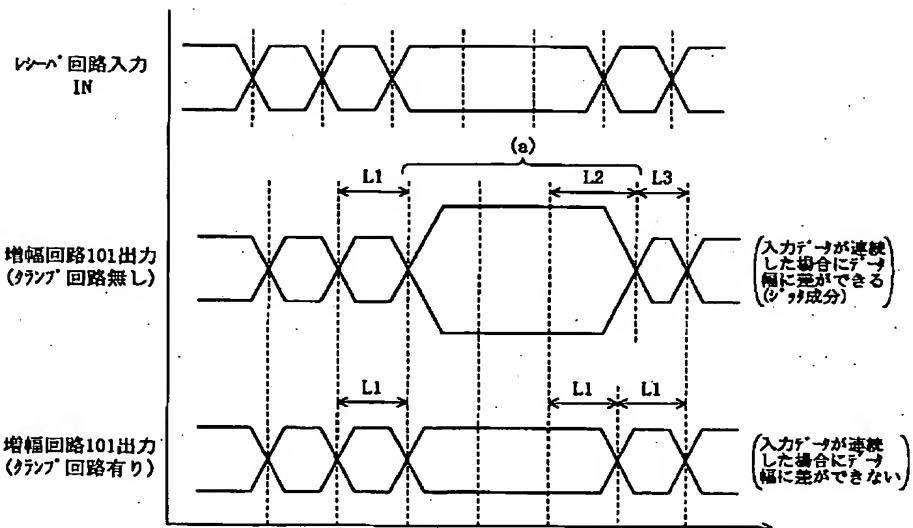
【図14】



【図1】



【図4】



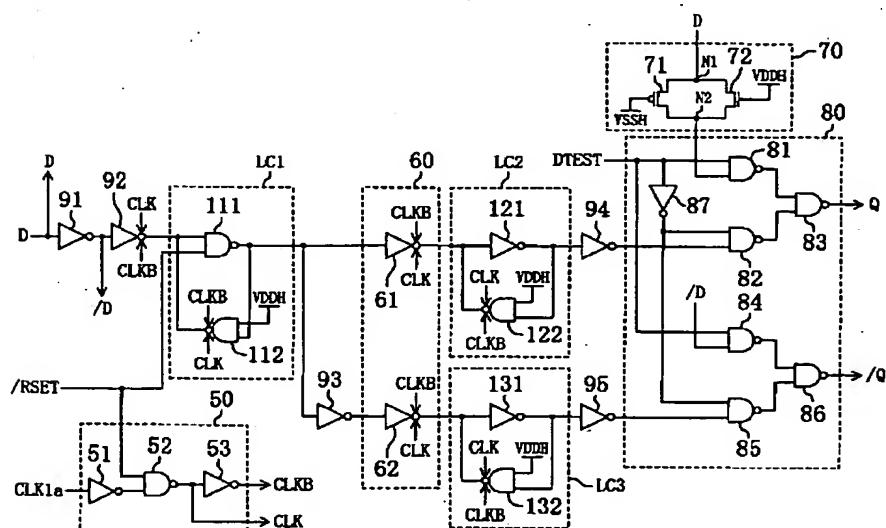
【图1-2】

(a)	チ'一出力部20
jitter1:PLL	200ps
jitter2:FF	20ps
jitter3:DR	40ps
Total	260ps

(b) テータ入力部30

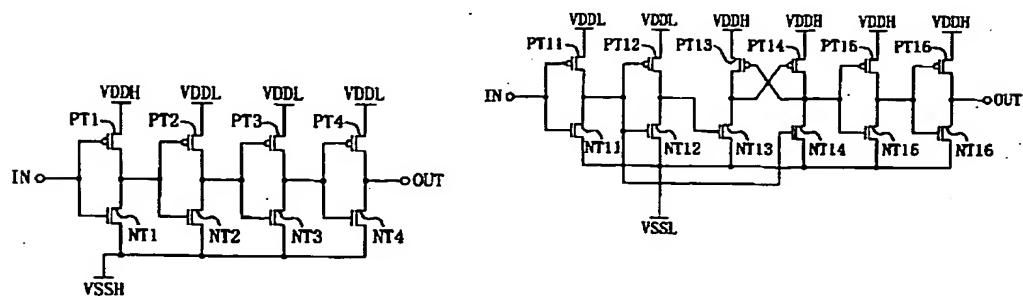
jitter4:REC	300ps
jitter5:LS	200ps
jitter6:FF	200ps
Total	700ps

【図5】

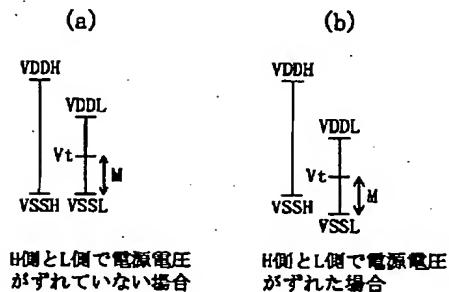


【图6】

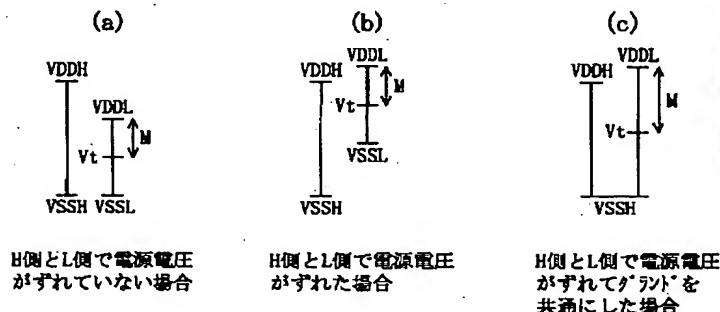
〔四八〕



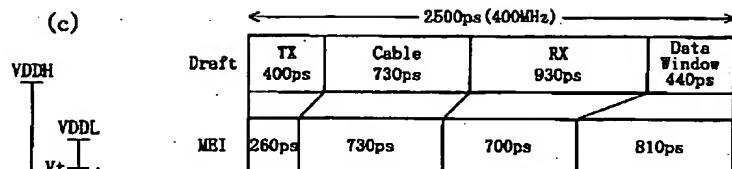
【図7】



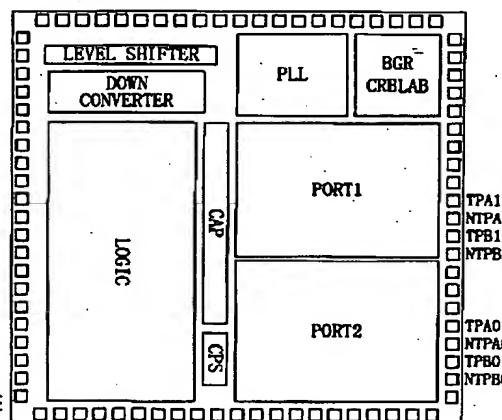
【図9】



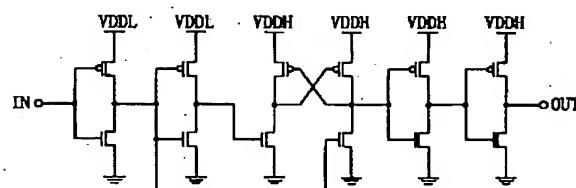
【図10】



【図13】



【図15】



フロントページの続き

(51) Int.CI.7
H03K 5/02

識別記号

F I
H03K 19/00

マーク(参考)

101D

(72) 発明者 寺田 裕
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 平田 貴士
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 小松 義英
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 山内 寛行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(単6) 01-244921 (P2001-24*JL8

Fターム(参考) 5J039 CC03
5J043 AA06 EE00 HH01 JJ10 KK02
KK03 KK10
5J056 AA38 BB02 BB24 CC00 CC12
CC14 CC21 DD28 EE11 FF08
GG06 KK01
5K029 AA03 AA11 CC01 DD02 HH01
HH08 HH11 HH26 LL15
5K047 AA06 BB12 GG02 GG06 GG11
GG24 MM28 MN53